

0350695

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月27日

出 願 番 号

Application Number:

特願2002-344225

[ST.10/C]:

[JP2002-344225]

出 願 人

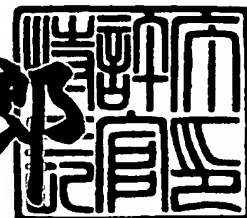
Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038201

【書類名】 特許願

【整理番号】 A000203723

【提出日】 平成14年11月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 清利 正弘

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の上方に形成されたものであって、第 1 の電極と、第 1 の電極の下方に設けられた第 2 の電極と、第 2 の電極の下方に設けられた第 3 の電極と、第 1 の電極と第 2 の電極の間に設けられた第 1 の誘電体膜と、第 2 の電極と第 3 の電極の間に設けられた第 2 の誘電体膜とを含むキャパシタ構造と、

前記キャパシタ構造を覆い、前記第 1 の電極に達する第 1 の穴と、前記第 2 の電極に達する第 2 の穴と、前記第 3 の電極に達する第 3 の穴とを有する絶縁膜と

前記第 1 の穴に埋め込まれた部分及び前記第 3 の穴に埋め込まれた部分を有し、前記第 1 の電極と前記第 3 の電極を電氣的に接続する第 1 の導電性接続部と、

第 1 の導電性接続部から離間し、前記第 2 の穴に埋め込まれた部分を有する第 2 の導電性接続部と、

を備えたことを特徴とする半導体装置。

【請求項 2】

前記第 2 の電極の外縁は、前記半導体基板の主面と平行な方向において前記第 1 の電極の外側に位置し、

前記第 3 の電極の外縁は、前記半導体基板の主面と平行な方向において前記第 2 の電極の外側に位置する

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の電極を囲むリング状電極をさらに備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の誘電体膜の外縁及び前記第 2 の電極の外縁は、前記リング状電極の外縁に整合している

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記第 3 の電極の外縁は、前記第 2 の誘電体膜の外縁に整合している

ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 の電極、第 2 の電極及び第 3 の電極は、同一材料で形成されている

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 の誘電体膜及び第 2 の誘電体膜は、同一材料で形成されている

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記キャパシタ構造はさらに、前記第 3 の電極の下方に設けられた第 4 の電極と、第 3 の電極と第 4 の電極の間に設けられた第 3 の誘電体膜とを含み、

前記絶縁膜はさらに、前記第 4 の電極に達する第 4 の穴を有し、

第 2 の導電性接続部はさらに、前記第 4 の穴に埋め込まれた部分を有する

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記キャパシタ構造はさらに、前記第 4 の電極の下方に設けられた第 5 の電極と、第 4 の電極と第 5 の電極の間に設けられた第 4 の誘電体膜とを含み、

前記絶縁膜はさらに、前記第 5 の電極に達する第 5 の穴を有し、

第 1 の導電性接続部はさらに、前記第 5 の穴に埋め込まれた部分を有する

ことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記半導体基板と前記キャパシタ構造との間に設けられた配線層をさらに備えた

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

半導体基板の上方に、第 1 の導電膜と、第 1 の導電膜の下方に設けられた第 2 の導電膜と、第 2 の導電膜の下方に設けられた第 3 の導電膜と、第 1 の導電膜と

第 2 の導電膜の間に設けられた第 1 の誘電体膜と、第 2 の導電膜と第 3 の導電膜の間に設けられた第 2 の誘電体膜とを含む積層膜を形成する工程と、

前記積層膜をパターニングして、前記第 1 の導電膜で形成された第 1 の電極、前記第 2 の導電膜で形成された第 2 の電極及び前記第 3 の導電膜で形成された第 3 の電極を含むキャパシタ構造を形成する工程と、

前記キャパシタ構造を覆い、前記第 1 の電極に達する第 1 の穴と、前記第 2 の電極に達する第 2 の穴と、前記第 3 の電極に達する第 3 の穴とを有する絶縁膜を形成する工程と、

前記第 1 の穴に埋め込まれた部分及び前記第 3 の穴に埋め込まれた部分を有し、前記第 1 の電極と前記第 3 の電極を電氣的に接続する第 1 の導電性接続部と、第 1 の導電性接続部から離間し、前記第 2 の穴に埋め込まれた部分を有する第 2 の導電性接続部と、を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 2】

前記キャパシタ構造を形成する工程は、

前記第 1 の導電膜をパターニングして、前記第 1 の電極及び第 1 の電極を囲むリング状導電部を形成する工程と、

前記第 1 の電極と前記リング状導電部の一部とを覆うマスクパターンを形成する工程と、

前記リング状導電部及び前記マスクパターンをマスクとして前記第 1 の誘電体膜をパターニングする工程と、

前記マスクパターンをマスクとして前記リング状導電部をパターニングしてリング状電極を形成する工程と、

前記パターニングされた第 1 の誘電体膜をマスクとして前記第 2 の導電膜をパターニングする工程と、

を含む

ことを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記キャパシタ構造を形成する工程は、

前記マスクパターンをマスクとして前記パターニングされた第 1 の誘電体膜をさらにパターニングする工程と、

前記パターニングされた第 2 の導電膜をマスクとして前記第 2 の誘電体膜をパターニングする工程と、

前記マスクパターンをマスクとして前記パターニングされた第 2 の導電膜をさらにパターニングして前記第 2 の電極を形成する工程と、

前記パターニングされた第 2 の誘電体膜をマスクとして前記第 3 の導電膜をパターニングして前記第 3 の電極を形成する工程と、

をさらに含む

ことを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】

前記第 1 の電極、第 2 の電極及び第 3 の電極は、同一材料で形成されていることを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 5】

前記第 1 の誘電体膜及び第 2 の誘電体膜は、同一材料で形成されていることを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置、特にキャパシタを有する半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年、R F 回路等のアナログ回路と C M O S 回路等のロジック回路を同一チップ内に集積化した L S I が検討されている。このようにロジック回路とともにアナログ回路が集積化された L S I では、それぞれの回路に要求されるキャパシタ特性を同時に満たす高性能のキャパシタを形成する必要がある。このような要求に対し、金属電極間に誘電体膜（絶縁膜）を挟んだ M I M (Metal-Insulator-Metal) キャパシタを用いることが提案されている。

【0 0 0 3】

また、上記のようなLSIにおいては、容量の大きなMIMキャパシタを作製する必要がある。しかしながら、容量を大きくすることは、キャパシタの占有面積の増大につながる。そこで、単位面積あたりの容量を増加させるために、複数の誘電体膜を積層した積層型のキャパシタを用いることが考えられる。

【0004】

積層型のキャパシタとしては、チップコンデンサが従来より広く知られている。図26は、チップコンデンサの一例を示したものである。このチップコンデンサは、電極401及び誘電体膜402を積層した後、積層構造の側部（エッジ部）にメッキ法等によって金属膜を形成することで得られる。

【0005】

なお、積層構造を有するチップコンデンサについては、例えば特許文献1～3に記載されている。

【0006】

一方、LSI内に単一の誘電体膜を有するMIMキャパシタを形成する場合には、通常、以下のような製造方法が用いられる。下部電極用の金属膜、誘電体膜及び上部電極用の金属膜を積層した後、これらの膜をパターニングして上部電極及び下部電極を形成する。上部電極と下部電極のパターニングには、別々のリソグラフィ工程が用いられる。これは、キャパシタの側壁に沿って流れるリーク電流を防止するためである。続いて、全面に層間絶縁膜を形成した後、上部電極及び下部電極に達するコンタクトホールを形成する。さらに、全面に配線用の金属膜を形成した後、この金属膜をパターニングして配線を形成する。すなわち、単一誘電体膜のMIMキャパシタを形成する場合には、上部電極形成用、下部電極形成用、コンタクトホール形成用及び配線形成用の4回のリソグラフィ工程が行われる。

【0007】

しかしながら、複数の誘電体膜を積層した積層型のキャパシタをLSI内に形成する場合には、積層膜数の増大にしたがってリソグラフィ工程数が大幅に増加する。したがって、必然的に製造工程の大幅な増加を招くことになる。

【0008】

また、図 2 6 に示したようなチップコンデンサの構造、すなわち積層構造のエッジ部に金属膜が形成された構造を、上述した L S I 用の M I M キャパシタに適用した場合には、図 2 7 に示すような問題が生じる。すなわち、電極 4 1 1 及び誘電体膜 4 1 2 からなる積層構造のエッジ部が凸凹状となるため、エッジ部における段差被覆性が悪化する、エッジ部において電界集中が起きる、といった問題が生じる。そのため、キャパシタの信頼性の低下や歩留まりの低下等を招く。

【 0 0 0 9 】

【特許文献 1】

特開平 4 - 2 9 3 2 1 5 号公報

【 0 0 1 0 】

【特許文献 2】

特開平 4 - 3 3 4 0 0 7 号公報

【 0 0 1 1 】

【特許文献 3】

特開平 4 - 3 5 6 9 0 8 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

このように、アナログ回路とロジック回路を同一チップ内に集積化した L S I では、高性能且つ大容量のキャパシタを、占有面積を増大させずに形成することが重要である。そのため、積層型の M I M キャパシタを用いることが考えられるが、信頼性が低下するといった問題や、製造工程が大幅に増加するといった問題が生じる。

【 0 0 1 3 】

本発明は上記従来の課題に対してなされたものであり、キャパシタの単位面積あたりの容量を増大させることができ、しかも信頼性の低下や製造工程の大幅な増加を防止することが可能な半導体装置及びその製造方法を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明に係る半導体装置は、半導体基板と、前記半導体基板の上方に形成されたものであって、第1の電極と、第1の電極の下方に設けられた第2の電極と、第2の電極の下方に設けられた第3の電極と、第1の電極と第2の電極の間に設けられた第1の誘電体膜と、第2の電極と第3の電極の間に設けられた第2の誘電体膜とを含むキャパシタ構造と、前記キャパシタ構造を覆い、前記第1の電極に達する第1の穴と、前記第2の電極に達する第2の穴と、前記第3の電極に達する第3の穴とを有する絶縁膜と、前記第1の穴に埋め込まれた部分及び前記第3の穴に埋め込まれた部分を有し、前記第1の電極と前記第3の電極を電氣的に接続する第1の導電性接続部と、第1の導電性接続部から離間し、前記第2の穴に埋め込まれた部分を有する第2の導電性接続部と、を備えたことを特徴とする。

【0015】

本発明に係る半導体装置の製造方法は、半導体基板の上方に、第1の導電膜と、第1の導電膜の下方に設けられた第2の導電膜と、第2の導電膜の下方に設けられた第3の導電膜と、第1の導電膜と第2の導電膜の間に設けられた第1の誘電体膜と、第2の導電膜と第3の導電膜の間に設けられた第2の誘電体膜とを含む積層膜を形成する工程と、前記積層膜をパターニングして、前記第1の導電膜で形成された第1の電極、前記第2の導電膜で形成された第2の電極及び前記第3の導電膜で形成された第3の電極を含むキャパシタ構造を形成する工程と、前記キャパシタ構造を覆い、前記第1の電極に達する第1の穴と、前記第2の電極に達する第2の穴と、前記第3の電極に達する第3の穴とを有する絶縁膜を形成する工程と、前記第1の穴に埋め込まれた部分及び前記第3の穴に埋め込まれた部分を有し、前記第1の電極と前記第3の電極を電氣的に接続する第1の導電性接続部と、第1の導電性接続部から離間し、前記第2の穴に埋め込まれた部分を有する第2の導電性接続部と、を形成する工程と、を備えたことを特徴とする。

【0016】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0017】

【実施形態 1】

本発明の第 1 の実施形態に係る半導体装置（アナログ回路とロジック回路を同一チップ内に集積化した L S I）の製造方法を、図 1 ～ 図 1 0 を参照して説明する。本実施形態は、キャパシタの誘電体膜として 2 層の窒化シリコン膜を用いたものであり、容量密度 $4 \sim 5 \text{ fF} / \mu\text{m}^2$ を実現可能である。

【0018】

まず、図 1 に示すように、シリコン基板 1 0 1（半導体基板）上に素子分離領域 1 0 2、ゲート電極 1 0 3 及び拡散領域 1 0 4 を形成する。続いて、層間絶縁膜 1 0 5 を全面に堆積し、さらに平坦化処理を行う。続いて、層間絶縁膜 1 0 5 にビアホールを形成し、さらにビアホール内に金属膜 1 0 6 を埋め込む。

【0019】

次に、上記構造上に多層配線構造を形成する。すなわち、金属配線 1 0 8、1 0 9 及び 1 1 0、バリア層 1 1 1、1 1 2 及び 1 1 3、層間絶縁膜 1 1 4、1 1 5 及び 1 1 6、窒化シリコン膜 1 0 7、1 1 7、1 1 8 及び 1 1 9 等を形成する。金属配線 1 0 8、1 0 9 及び 1 1 0 は、層間絶縁膜 1 1 4、1 1 5 及び 1 1 6 内に銅などの金属膜を埋め込んだ後、ダマシン法によって形成される。バリア層 1 1 1、1 1 2 及び 1 1 3 は、金属配線 1 0 8、1 0 9 及び 1 1 0 の材料が層間絶縁膜 1 1 4、1 1 5 及び 1 1 6 中へ拡散するのを防止するためのものであり、例えば TiN などを用いて形成される。

【0020】

以上のようにして、図 1 に示すような下部領域の構造が形成される。なお、図 2 以後の工程については、説明の簡単化のため、図 1 に示した下部構造については、窒化シリコン膜 1 1 9 以外は図示を省略する。

【0021】

図 1 に示した下部構造を形成した後、図 2 に示すように、窒化シリコン膜 1 1 9 上全面に、チタン (Ti) 膜 1 2 0、窒化チタン (TiN) 膜 1 2 1（第 3 の導電膜）、窒化シリコン (SiN) 膜 1 2 2（第 2 の誘電体膜）、窒化チタン膜 1 2 3（第 2 の導電膜）、窒化シリコン膜 1 2 4（第 1 の誘電体膜）及び窒化チタン膜 1 2 5（第 1 の導電膜）を、順次形成する。窒化チタン膜 1 2 1、1 2 3

及び 1 2 5 は P V D 法で、窒化シリコン膜 1 2 2 及び 1 2 4 は P V D 法又はプラズマ C V D 法で形成する。続いて、窒化チタン膜 1 2 5 上にフォトレジスト膜を塗布した後、リソグラフィによりレジストパターン 1 2 6 (マスクパターン) を形成する。

【 0 0 2 2 】

次に、図 3 に示すように、レジストパターン 1 2 6 をマスクとして、窒化チタン膜 1 2 5 を R I E (Reactive ion etching) によってエッチングする。このとき、窒化シリコン膜のエッチングレートに対する窒化チタン膜のエッチングレートが十分大きい条件で、窒化チタン膜 1 2 5 をエッチングする。これにより、キャパシタの電極 1 2 5 a (第 1 の電極) と、電極 1 2 5 a から離間し、電極 1 2 5 a を囲むリング状導電部 1 2 5 b が形成される。図 4 は、本工程によって得られる電極 1 2 5 a とリング状導電部 1 2 5 b との平面的な関係を示したものである。

【 0 0 2 3 】

次に、図 5 に示すように、レジストパターン 1 2 6 をアッシング等により除去する。続いて、全面にフォトレジスト膜を塗布した後、リソグラフィによりレジストパターン 1 2 7 を形成する。このレジストパターン 1 2 7 は、電極 1 2 5 a 全体及び電極 1 2 5 a とリング状導電部 1 2 5 b との間の領域全体を覆い、且つリング状導電部 1 2 5 b の内縁を含む部分を覆うものである。本実施形態の M I M キャパシタは、数百ミクロン角と極めて大きいサイズであるため、このようなリソグラフィも容易に行うことができる。

【 0 0 2 4 】

次に、図 6 に示すように、レジストパターン 1 2 7 及びリング状導電部 1 2 5 b をマスクとして、R I E により窒化シリコン膜 1 2 4 をエッチングする。このとき、窒化チタン膜のエッチングレートに対する窒化シリコン膜のエッチングレートが十分大きい条件でエッチングを行う。

【 0 0 2 5 】

次に、図 7 に示すように、窒化シリコン膜のエッチングレートに対する窒化チタン膜のエッチングレートが十分大きい条件で、窒化チタン膜をエッチングする

。これにより、窒化チタン膜 1 2 5 b は、レジストパターン 1 2 7 をマスクとしてエッチングされ、リング状電極 1 2 5 c が形成される。同時に、窒化チタン膜 1 2 3 は、窒化シリコン膜 1 2 4 のパターンをマスクとしてエッチングされる。

【 0 0 2 6 】

次に、図 8 に示すように、R I E により、窒化シリコン膜 1 2 4、窒化チタン膜 1 2 3、窒化シリコン膜 1 2 2、窒化チタン膜 1 2 1 及びチタン膜 1 2 0 を、以下のようにしてエッチングする。

【 0 0 2 7 】

まず、窒化チタン膜のエッチングレートに対する窒化シリコン膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、窒化シリコン膜 1 2 4 は、レジストパターン 1 2 7 をマスクとしてエッチングされる。同時に、窒化シリコン膜 1 2 2 は、窒化チタン膜 1 2 3 のパターンをマスクとしてエッチングされる。

【 0 0 2 8 】

続いて、窒化シリコン膜のエッチングレートに対する窒化チタン膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、窒化チタン膜 1 2 3 は、レジストパターン 1 2 7 をマスクとしてエッチングされ、電極 1 2 3 a (第 2 の電極) が形成される。同時に、窒化チタン膜 1 2 1 は、窒化シリコン膜 1 2 2 のパターンをマスクとしてエッチングされ、電極 1 2 1 a (第 3 の電極) が形成される。また、このエッチング工程において、チタン膜 1 2 0 もエッチングされる。

【 0 0 2 9 】

このようにして、窒化シリコン膜 1 2 4 のパターンの外縁及び電極 1 2 3 a の外縁がリング状電極 1 2 5 c の外縁に整合し、且つ、電極 1 2 1 a の外縁が窒化シリコン膜 1 2 2 のパターンの外縁に整合したキャパシタ構造が得られる。次に、アッシング等によりレジストパターン 1 2 7 を除去した後、全面に層間絶縁膜 1 2 8 を形成する。

【 0 0 3 0 】

次に、図 9 に示すように、層間絶縁膜 1 2 8 上にフォトリソ膜を塗布した

後、リソグラフィによりレジストパターン（図示せず）を形成する。続いて、このレジストパターンをマスクとして、R I Eにより層間絶縁膜 1 2 8、窒化シリコン膜 1 2 2 及び 1 2 4 をエッチングすることで、電極 1 2 1 a、1 2 3 a 及び 1 2 5 a に達するコンタクトホールを形成する。

【 0 0 3 1 】

次に、上記各コンタクトホールを埋めるように、全面に金属膜を形成する。続いて、この金属膜上にフォトリソレジスト膜を塗布した後、リソグラフィによりレジストパターン（図示せず）を形成する。続いて、このレジストパターンをマスクとして、R I Eにより金属膜をエッチングすることで、配線 1 2 9 a（第 1 の導電性接続部）及び配線 1 2 9 b（第 2 の導電性接続部）を、互いに離間するように形成する。電極 1 2 1 a と電極 1 2 5 a とは、配線 1 2 9 a によって電氣的に接続される。

【 0 0 3 2 】

以上のようにして、図 9 に示すように、下部構造上にキャパシタ構造等が形成された半導体装置が得られる。図 1 0 に、上述した工程によって得られる電極 1 2 5 a とリング状電極 1 2 5 c との平面的な関係を示した。以後、保護膜の形成等が行われるが、ここではそれらについては省略する。

【 0 0 3 3 】

図 1 1 は、本実施形態によって得られるキャパシタの等価回路を示したものである。すなわち、電極 1 2 5 a、誘電体膜 1 2 4 及び電極 1 2 3 a によって M I M 構造を有する上層側のキャパシタ 1 1 が形成され、電極 1 2 3 a、誘電体膜 1 2 2 及び電極 1 2 1 a によって M I M 構造を有する下層側のキャパシタ 1 2 が形成される。これらの 2 つのキャパシタ 1 1 及び 1 2 は並列接続されるため、単層キャパシタに比べて 2 倍の容量密度を有する積層キャパシタが得られる。

【 0 0 3 4 】

以上のように、本実施形態によれば、積層キャパシタ構造を用いることで、単位面積あたり容量を増加させるができる。また、本実施形態におけるリソグラフィ工程数は 4 回であり、従来の単層キャパシタの場合と同じである。したがって、リソグラフィ工程数を増加させずに、キャパシタの単位面積あたりの容量を増

加させるができる。

【0035】

また、導電膜121、123及び125に同一の材料を用いるとともに、誘電体膜122及び124に同一の材料を用いることで、図6～図8における選択的なエッチング工程を容易かつ確実に行うことができる。したがって、上記リソグラフィ工程数の増加が抑制されるという効果が確実に得られる。

【0036】

また、本実施形態では、絶縁膜のコンタクトホール内に金属膜を埋め込むことで、導電性接続部129a及び129bが形成される。したがって、従来のようにキャパシタ構造の側部に配線が形成されないため、側部における断線や電界集中を防止することができ、信頼性や歩留まりを向上させることができる。

【0037】

また、電極123aのパターンの外縁が電極125aのパターンの外側に位置し、電極121aのパターンの外縁が電極123aのパターンの外側に位置している。したがって、電極パターンどうしがオーバーラップしていない領域に容易にコンタクトホールを形成することができる。

【0038】

さらに、本実施形態では、電極125aを囲むリング状電極125cが形成されているため、リング状電極125cのシールド効果によってクロストークを低減することが可能である。

【0039】

なお、本実施形態では誘電体膜として窒化シリコン膜、電極膜として窒化チタン膜を用いたが、他の膜を用いることも可能である。例えば、誘電体膜としては、アルミナ膜、タンタルオキサイド膜、ハフニウムオキサイド膜、或いはジルコニウムオキサイド膜等を用いることが可能である。電極膜としては、窒化タンゲステン膜、窒化タンタル膜、或いはTiN/AlCu/TiN積層膜等を用いることが可能である。

【0040】

〔実施形態2〕

本発明の第 2 の実施形態に係る半導体装置（アナログ回路とロジック回路を同一チップ内に集積化した L S I）の製造方法を、図 1 2 ～図 1 8 を参照して説明する。本実施形態は、キャパシタの誘電体膜として 4 層のタンタルオキサイド膜を用いたものであり、容量密度 $10 \sim 18 \text{ fF} / \mu\text{m}^2$ を実現可能である。なお、図 1 2 ～図 1 8 において、実際には第 1 の実施形態の図 1 に示したような下部構造が形成されているが、説明の簡単化のため、窒化シリコン膜 1 1 9 以外は下部構造の図示は省略している。

【 0 0 4 1 】

まず、図 1 に示した下部構造を形成した後、図 1 2 に示すように、窒化シリコン膜 1 1 9 上全面に、チタン膜 2 0 1、窒化チタン膜 2 0 2（第 5 の導電膜）、タンタルオキサイド膜 2 0 3（第 4 の誘電体膜）、窒化チタン膜 2 0 4（第 4 の導電膜）、タンタルオキサイド膜 2 0 5（第 3 の誘電体膜）、窒化チタン膜 2 0 6（第 3 の導電膜）、タンタルオキサイド膜 2 0 7（第 2 の誘電体膜）、窒化チタン膜 2 0 8（第 2 の導電膜）、タンタルオキサイド膜 2 0 9（第 1 の誘電体膜）及び窒化チタン膜 2 1 0（第 1 の導電膜）を、PVD 法によって順次形成する。続いて、窒化チタン膜 2 1 0 上にフォトリソグロフ膜を塗布した後、リソグラフィによりレジストパターン 2 1 1（マスクパターン）を形成する。

【 0 0 4 2 】

次に、図 1 3 に示すように、レジストパターン 2 1 1 をマスクとして、窒化チタン膜 2 1 0 を R I E によってエッチングする。このとき、タンタルオキサイド膜のエッチングレートに対する窒化チタン膜のエッチングレートが十分大きい条件で、窒化チタン膜 2 1 0 をエッチングする。これにより、キャパシタの電極 2 1 0 a（第 1 の電極）と、電極 2 1 0 a から離間し、電極 2 1 0 a を囲むリング状導電部 2 1 0 b が形成される。なお、本工程によって得られる電極 2 1 0 a とリング状導電部 2 1 0 b との平面的な関係は、第 1 の実施形態で示した図 4 と同様である。

【 0 0 4 3 】

次に、図 1 4 に示すように、レジストパターン 2 1 1 をアッシング等により除去する。続いて、全面にフォトリソグロフ膜を塗布した後、リソグラフィによりレ

ジストパターン 2 1 2 を形成する。このレジストパターン 2 1 2 は、電極 2 1 0 a 及びリング状導電部 2 1 0 b を含む領域全体を覆うものである。

【 0 0 4 4 】

次に、図 1 5 に示すように、レジストパターン 2 1 2 をマスクとして、タンタルオキサイド膜 2 0 9、窒化チタン膜 2 0 8、タンタルオキサイド膜 2 0 7、窒化チタン膜 2 0 6、タンタルオキサイド膜 2 0 5 及び窒化チタン膜 2 0 4 を、R I E によって順次エッチングする。これにより、キャパシタの電極 2 0 4 a (第 4 の電極) が形成される。

【 0 0 4 5 】

次に、図 1 6 に示すように、レジストパターン 2 1 2 をアッシング等により除去する。続いて、全面にフォトリソレジスト膜を塗布した後、リソグラフィによりレジストパターン 2 1 3 を形成する。このレジストパターン 2 1 3 は、電極 2 1 0 a 全体及び電極 2 1 0 a とリング状導電部 2 1 0 b との間の領域全体を覆い、且つリング状導電部 2 1 0 b の内縁を含む部分を覆うものである。本実施形態の M I M キャパシタは、数百ミクロン角と極めて大きいサイズであるため、このようなリソグラフィも容易に行うことができる。

【 0 0 4 6 】

次に、図 1 7 に示すように、レジストパターン 2 1 3 及びリング状導電部 2 1 0 b をマスクとして、タンタルオキサイド膜 2 0 9 及び 2 0 3 を、R I E によりエッチングする。このとき、窒化チタン膜のエッチングレートに対するタンタルオキサイド膜のエッチングレートが十分大きい条件でエッチングを行う。

【 0 0 4 7 】

次に、タンタルオキサイド膜のエッチングレートに対する窒化チタン膜のエッチングレートが十分大きい条件で、窒化チタン膜をエッチングする。これにより、窒化チタン膜 2 1 0 b は、レジストパターン 2 1 3 をマスクとしてエッチングされ、リング状電極 2 1 0 c が形成される。同時に、窒化チタン膜 2 0 8 は、タンタルオキサイド膜 2 0 9 のパターンをマスクとしてエッチングされる。また同時に、窒化チタン膜 2 0 2 は、レジストパターン 2 1 3 をマスクとしてエッチングされ、電極 2 0 2 a (第 5 の電極) が形成される。また、このエッチング工程

において、チタン膜 2 0 1 もエッチングされる。

【 0 0 4 8 】

次に、R I Eにより、タンタルオキサイド膜 2 0 9、窒化チタン膜 2 0 8、タンタルオキサイド膜 2 0 7 及び窒化チタン膜 2 0 6 を、以下のようにしてエッチングする。

【 0 0 4 9 】

まず、窒化チタン膜のエッチングレートに対するタンタルオキサイド膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、タンタルオキサイド膜 2 0 9 は、レジストパターン 2 1 3 をマスクとしてエッチングされる。同時に、タンタルオキサイド膜 2 0 7 は、窒化チタン膜 2 0 8 のパターンをマスクとしてエッチングされる。

【 0 0 5 0 】

続いて、タンタルオキサイド膜のエッチングレートに対する窒化チタン膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、窒化チタン膜 2 0 8 は、レジストパターン 2 1 3 をマスクとしてエッチングされ、電極 2 0 8 a (第 2 の電極) が形成される。同時に、窒化チタン膜 2 0 6 は、タンタルオキサイド膜 2 0 7 のパターンをマスクとしてエッチングされ、電極 2 0 6 a (第 3 の電極) が形成される。

【 0 0 5 1 】

このようにして、タンタルオキサイド膜 2 0 9 のパターンの外縁及び電極 2 0 8 a の外縁がリング状電極 2 1 0 c の外縁に整合し、且つ、電極 2 0 6 a の外縁がタンタルオキサイド膜 2 0 7 のパターンの外縁に整合したキャパシタ構造が得られる。

【 0 0 5 2 】

次に、図 1 8 に示すように、アッシング等によりレジストパターン 2 1 3 を除去した後、全面に層間絶縁膜 2 1 4 を形成する。続いて、層間絶縁膜 2 1 4 上にフォトリソレジスト膜を塗布した後、リソグラフィによりレジストパターン (図示せず) を形成する。続いて、このレジストパターンをマスクとして、R I Eにより層間絶縁膜 2 1 4、タンタルオキサイド膜 2 0 3、2 0 5、2 0 7 及び 2 0 9 を

エッチングすることで、電極 2 0 2 a、2 0 4 a、2 0 6 a、2 0 8 a 及び 2 1 0 a に達するコンタクトホールを形成する。

【0 0 5 3】

次に、上記各コンタクトホールを埋めるように、全面に金属膜を形成する。続いて、この金属膜上にフォトリソグロフ膜を塗布した後、リソグラフィによりレジストパターン（図示せず）を形成する。続いて、このレジストパターンをマスクとして、R I E により金属膜をエッチングすることで、配線 2 1 5 a（第 1 の導電性接続部）及び配線 2 1 5 b（第 2 の導電性接続部）を、互いに離間するように形成する。配線 2 1 5 a によって電極 2 0 2 a、2 0 6 a 及び 2 1 0 a が電氣的に接続され、配線 2 1 5 b によって電極 2 0 4 a 及び 2 0 8 a が電氣的に接続される。

【0 0 5 4】

以上のようにして、図 1 8 に示すように、下部構造（図示せず）上にキャパシタ構造等が形成された半導体装置が得られる。以後、保護膜の形成等が行われるが、ここではそれらについては省略する。

【0 0 5 5】

図 1 9 は、本実施形態によって得られるキャパシタの等価回路を示したものである。すなわち、電極 2 1 0 a、誘電体膜 2 0 9 及び電極 2 0 8 a によって M I M 構造を有するキャパシタ 2 1 が、電極 2 0 8 a、誘電体膜 2 0 7 及び電極 2 0 6 a によって M I M 構造を有するキャパシタ 2 2 が、電極 2 0 6 a、誘電体膜 2 0 5 及び電極 2 0 4 a によって M I M 構造を有するキャパシタ 2 3 が、電極 2 0 4 a、誘電体膜 2 0 3 及び電極 2 0 2 a によって M I M 構造を有するキャパシタ 2 4 が形成される。これらの 4 つのキャパシタ 2 1、2 2、2 3 及び 2 4 は並列接続されるため、単層キャパシタに比べて 4 倍の容量密度を有する積層キャパシタが得られる。

【0 0 5 6】

上述した本実施形態の製造工程では、リソグラフィ工程数は 5 回であり、従来の単層キャパシタのリソグラフィ工程数よりも 1 回多いだけである。したがって、リソグラフィ工程数をほとんど増加させずに、キャパシタの単位面積あたりの

容量を増加させることができる。

【0057】

以上のように、本実施形態においても、第1の実施形態と同様の効果を得ることができる。すなわち、リソグラフィ工程数をほとんど増加させずに、キャパシタの単位面積あたりの容量を増加させることができる。また、エッジ部における断線や電界集中を防止することができ、信頼性や歩留まりを向上させることができる。

【0058】

また、本実施形態では、リング状電極210cの他、リング状電極208c及び206cも形成されるため、これらのリング状電極210c、208c及び206cのシールド効果によってクロストークを低減することが可能である。

【0059】

なお、本実施形態では誘電体膜としてタンタルオキサイド膜、電極膜として窒化チタン膜を用いたが、他の膜を用いることも可能である。例えば、誘電体膜としては、窒化シリコン膜、アルミナ膜、ハフニウムオキサイド膜、或いはジルコニウムオキサイド膜等を用いることが可能である。電極膜としては、窒化タングステン膜、窒化タンタル膜、或いはTiN/AlCu/TiN積層膜等を用いることが可能である。

【0060】

〔実施形態3〕

本発明の第3の実施形態に係る半導体装置の製造方法を、図20～図25を参照して説明する。本実施形態は、FRAM用のキャパシタとして、多層構造のキャパシタを用いたものである。キャパシタの誘電体膜としてはPZT膜($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜)を用い、電極としてはPt膜を用いている。

【0061】

まず、図20に示すように、シリコン基板301上に素子分離領域302、ゲート電極303及び拡散領域304を形成する。続いて、層間絶縁膜305を全面に堆積し、さらに平坦化処理を行う。続いて、層間絶縁膜305内に、拡散領域304に接続されたビット線306及び拡散層領域304に接続されたコンタ

クトプラグ 3 0 7 を形成する。さらに、全面に層間絶縁膜 3 0 8 を形成する。

【 0 0 6 2 】

次に、PVD法により、Pt膜 3 0 9（第 3 の導電膜）、チタン膜 3 1 0 及び PZT膜 3 1 1（第 2 の誘電体膜）を形成した後、RTO法によって PZT膜 3 1 1 を結晶化させる。続いて、PVD法により、Pt膜 3 1 2（第 2 の導電膜）、チタン膜 3 1 3 及び PZT膜 3 1 4（第 1 の誘電体膜）を形成した後、RTO法によって PZT膜 3 1 4 を結晶化させる。さらに、PZT膜 3 1 4 上に、Pt膜 3 1 5（第 1 の導電膜）及びアルミナ膜 3 1 6 を形成する。

【 0 0 6 3 】

次に、図 2 1 に示すように、アルミナ膜 3 1 6 上にフォトレジスト膜を塗布した後、リソグラフィによりレジストパターン 3 1 7（マスクパターン）を形成する。次に、レジストパターン 3 1 7 をマスクとして、RIEにより、Pt膜 3 1 5 及びアルミナ膜 3 1 6 をエッチングする。これにより、キャパシタの電極 3 1 5 a（第 1 の電極）と、電極 3 1 5 a から離間し、電極 3 1 5 a を囲むリング状導電部 3 1 5 b が形成される。なお、本工程によって得られる電極 3 1 5 a とリング状導電部 3 1 5 b との平面的な関係は、第 1 の実施形態で示した図 4 と同様である。

【 0 0 6 4 】

次に、図 2 2 に示すように、レジストパターン 3 1 7 をアッシング等により除去する。続いて、全面にフォトレジスト膜を塗布した後、リソグラフィによりレジストパターン 3 1 8 を形成する。このレジストパターン 3 1 8 は、電極 3 1 5 a の全体及び電極 3 1 5 a とリング状導電部 3 1 5 b との間の領域全体を覆い、且つリング状導電部 3 1 5 b の内縁を含む部分を覆うものである。FRAMのキャパシタは、DRAMのキャパシタに比べてはるかに大きいサイズであるため、このようなリソグラフィ工程も容易に行うことができる。

【 0 0 6 5 】

次に、図 2 3 に示すように、レジストパターン 3 1 8 及びリング状導電部 3 1 5 b をマスクとして、RIEにより、アルミナ膜 3 1 6、PZT膜 3 1 4 及びチタン膜 3 1 3 をエッチングする。このとき、Pt膜のエッチングレートに対する

のアルミナ膜 3 1 6、P Z T 膜 3 1 4 及びチタン膜 3 1 3 のエッチングレートが十分大きい条件でエッチングを行う。

【 0 0 6 6 】

次に、P Z T 膜のエッチングレートに対する P t 膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、P t 膜 3 1 5 b は、レジストパターン 3 1 8 をマスクとしてエッチングされ、リング状電極 3 1 5 c が形成される。同時に、P t 膜 3 1 2 は、P Z T 膜 3 1 4 のパターンをマスクとしてエッチングされる。

【 0 0 6 7 】

次に、図 2 4 に示すように、R I E により、P Z T 膜 3 1 4、チタン膜 3 1 3、P t 膜 3 1 2、P Z T 膜 3 1 1、チタン膜 3 1 0 及び P t 膜 3 0 9 を、以下のようにしてエッチングする。

【 0 0 6 8 】

まず、P t 膜のエッチングレートに対する P Z T 膜及びチタン膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、P Z T 膜 3 1 4 及びチタン膜 3 1 3 は、レジストパターン 3 1 8 をマスクとしてエッチングされる。同時に、P Z T 膜 3 1 1 及びチタン膜 3 1 0 は、P t 膜 3 1 2 のパターンをマスクとしてエッチングされる。

【 0 0 6 9 】

続いて、P Z T 膜のエッチングレートに対する P t 膜のエッチングレートが十分大きい条件でエッチングを行う。これにより、P t 膜 3 1 2 は、レジストパターン 3 1 8 をマスクとしてエッチングされ、電極 3 1 2 a (第 2 の電極) が形成される。同時に、P t 膜 3 0 9 は、P Z T 膜 3 1 1 のパターンをマスクとしてエッチングされ、電極 3 0 9 a (第 3 の電極) が形成される。次に、アッシング等によりレジストパターン 3 1 8 を除去した後、全面に層間絶縁膜 3 1 9 を形成する。

【 0 0 7 0 】

次に、図 2 5 に示すように、層間絶縁膜 3 1 9 上にフォトリソレジスト膜を塗布した後、リソグラフィによりレジストパターン (図示せず) を形成する。続いて、

このレジストパターンをマスクとして、R I Eにより層間絶縁膜 3 1 9、アルミナ膜 3 1 6、P Z T膜 3 1 4、チタン膜 3 1 3、P Z T膜 3 1 1、チタン膜 3 1 0 及び層間絶縁膜 3 0 8 をエッチングすることで、電極 3 1 5 a、3 1 2 a、3 0 9 a 及びコンタクトプラグ 3 0 7 に達するコンタクトホールを形成する。

【 0 0 7 1 】

次に、上記各コンタクトホールを埋めるように、全面に金属膜を形成する。続いて、この金属膜上にフォトリソレジスト膜を塗布した後、リソグラフィによりレジストパターン（図示せず）を形成する。続いて、このレジストパターンをマスクとして、R I Eにより金属膜をエッチングすることで、配線 3 2 0 a（第 1 の導電性接続部）及び配線 3 2 0 b（第 2 の導電性接続部）を、互いに離間するように形成する。電極 3 1 5 a、電極 3 0 9 a 及びコンタクトプラグ 3 0 7 は、配線 3 2 0 a によって電氣的に接続される。

【 0 0 7 2 】

以上のようにして、図 2 5 に示すように、下部構造上にキャパシタ構造等が形成された半導体装置が得られる。以後、保護膜の形成等が行われるが、ここではそれらについては省略する。

【 0 0 7 3 】

上述した本実施形態の製造工程では、リソグラフィ工程数は 4 回であり、従来の単層キャパシタのリソグラフィ工程数と同じである。したがって、リソグラフィ工程数を増加させずに、キャパシタの単位面積あたりの容量を増加させるができる。

【 0 0 7 4 】

以上のように、本実施形態においても、第 1 の実施形態と同様の効果を得ることができる。すなわち、リソグラフィ工程数を増加させずに、キャパシタの単位面積あたりの容量を増加させることができる。また、エッジ部における断線や電界集中を防止することができ、信頼性や歩留まりを向上させることができる。

【 0 0 7 5 】

なお、本実施形態では誘電体膜として P Z T 膜、電極膜として P t 膜を用いたが、他の膜を用いることも可能である。例えば、誘電体膜としては、S r B i₂

Ta_2O_5 膜、 $\text{Bi}_3\text{Ti}_4\text{O}_{12}$ 膜、チタン酸バリウム膜、 $(\text{Bi}, \text{La})_3\text{Ti}_4\text{O}_{12}$ 膜等を用いることが可能である。電極膜としては、イリジウム膜、二酸化イリジウム膜、ルテニウム膜、二酸化ルテニウム膜、 SrRuO_3 膜等を用いることが可能である。

【0076】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0077】

【発明の効果】

本発明によれば、キャパシタの単位面積あたりの容量を増大させることができるとともに、半導体装置の信頼性や歩留まりを向上させることが可能となる。また、本発明によれば、製造工程を大幅に増加させることなく、キャパシタの単位面積あたりの容量を増大させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図2】

本発明の第1の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図3】

本発明の第1の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図4】

図3に示したパターンの形成領域を模式的に示した平面図である。

【図 5】

本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 6】

本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 7】

本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 8】

本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 9】

本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 0】

図 9 に示したパターンの形成領域を模式的に示した平面図である。

【図 1 1】

本発明の第 1 の実施形態に係り、キャパシタの等価回路を示した図である。

【図 1 2】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 3】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 4】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 5】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 6】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 7】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 8】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 1 9】

本発明の第 2 の実施形態に係り、キャパシタの等価回路を示した図である。

【図 2 0】

本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 2 1】

本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 2 2】

本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 2 3】

本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 2 4】

本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 2 5】

本発明の第 3 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 2 6】

従来技術に係り、チップコンデンサの構成を模式的に示した図である。

【図 2 7】

従来技術の問題点を説明するための図である。

【符号の説明】

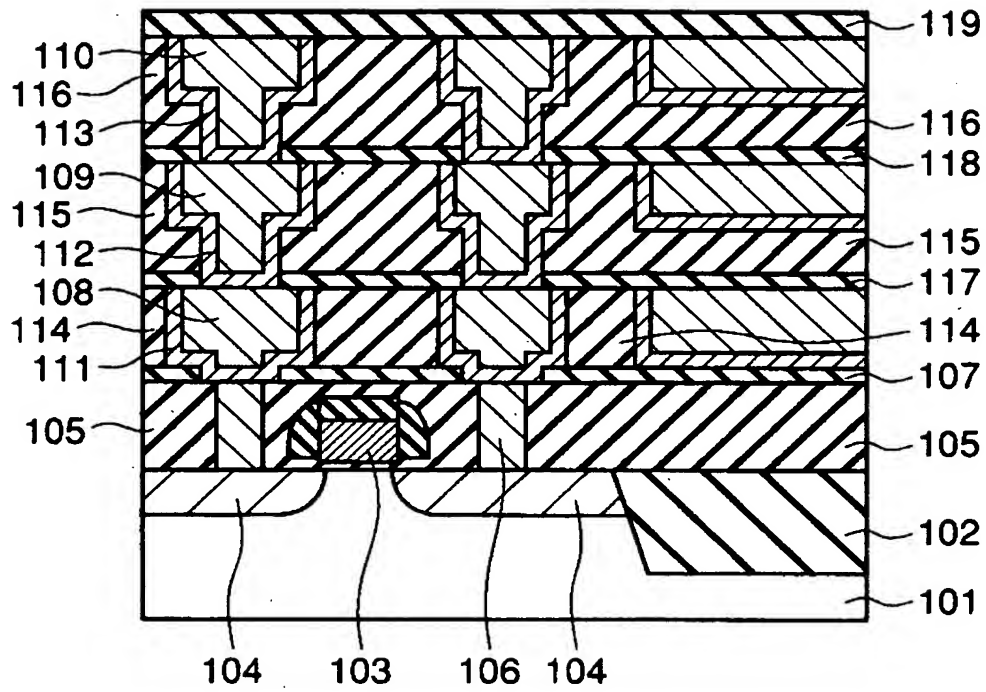
- 1 1、1 2、2 1、2 2、2 3、2 4…キャパシタ
- 1 0 1…シリコン基板
- 1 0 2…素子分離領域
- 1 0 3…ゲート電極
- 1 0 4…拡散領域
- 1 0 5、1 1 4、1 1 5、1 1 6、1 2 8…層間絶縁膜
- 1 0 6…金属膜
- 1 0 7、1 1 7、1 1 8、1 1 9…窒化シリコン膜
- 1 0 8、1 0 9、1 1 0…金属配線
- 1 1 1、1 1 2、1 1 3…バリア層
- 1 2 0…チタン膜
- 1 2 1、1 2 3、1 2 5…窒化チタン膜
- 1 2 1 a、1 2 3 a、1 2 5 a…電極
- 1 2 2、1 2 4…窒化シリコン膜
- 1 2 5 b…リング状導電部
- 1 2 5 c…リング状電極
- 1 2 6、1 2 7…レジストパターン
- 1 2 9 a、1 2 9 b…導電性接続部
- 2 0 1…チタン膜
- 2 0 2、2 0 4、2 0 6、2 0 8、2 1 0…窒化チタン膜
- 2 0 2 a、2 0 4 a、2 0 6 a、2 0 8 a、2 1 0 a…電極
- 2 0 3、2 0 5、2 0 7、2 0 9…タンタルオキサイド膜

2 1 0 b … リング状導電部
2 0 6 c、2 0 8 c、2 1 0 c … リング状電極
2 1 1、2 1 2、2 1 3 … レジストパターン
2 1 4 … 層間絶縁膜
2 1 5 a、2 1 5 b … 導電性接続部
3 0 1 … シリコン基板
3 0 2 … 素子分離領域
3 0 3 … ゲート電極
3 0 4 … 拡散領域
3 0 5、3 0 8、3 1 9 … 層間絶縁膜
3 0 6 … ビット線
3 0 7 … コンタクトプラグ
3 0 9、3 1 2、3 1 5 … P t 膜
3 0 9 a、3 1 2 a、3 1 5 a … 電極
3 1 0、3 1 3 … チタン膜
3 1 1、3 1 4 … P Z T 膜
3 1 5 b … リング状導電部
3 1 5 c … リング状電極
3 1 6 … アルミナ膜
3 1 7、3 1 8 … レジストパターン
3 2 0 a、3 2 0 b … 導電性接続部

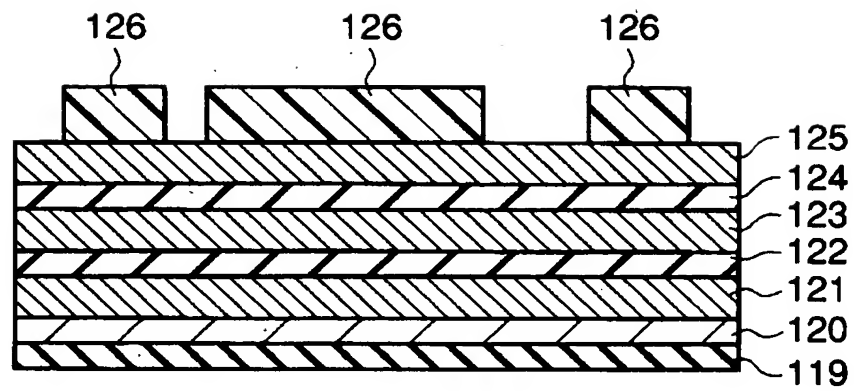
【書類名】

図面

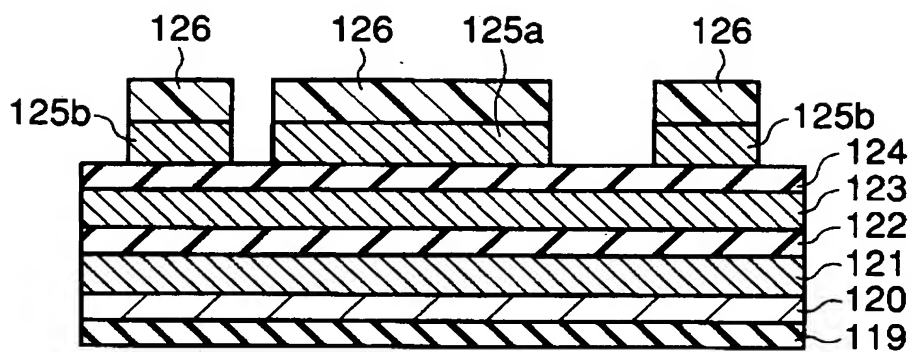
【図 1】



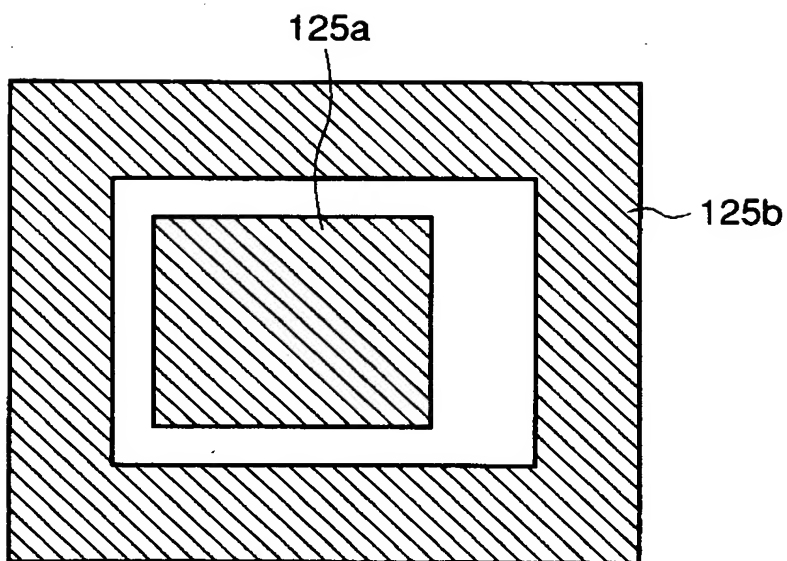
【図 2】



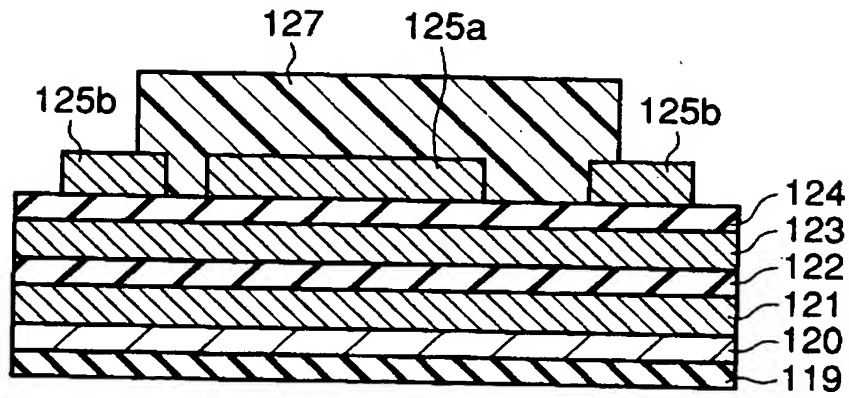
【図 3】



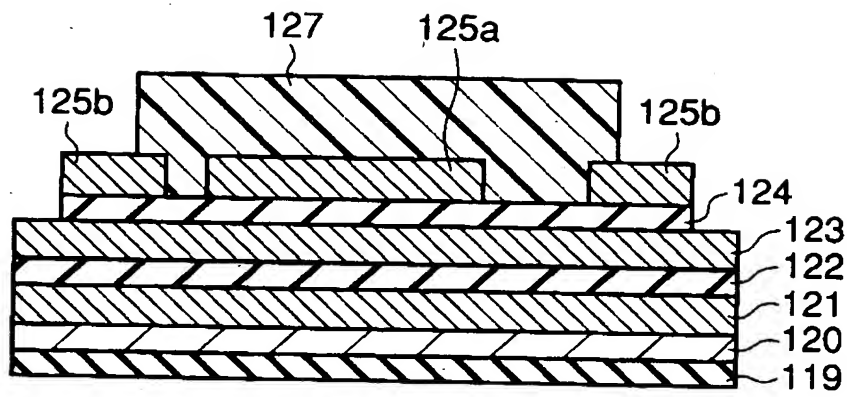
【図 4】



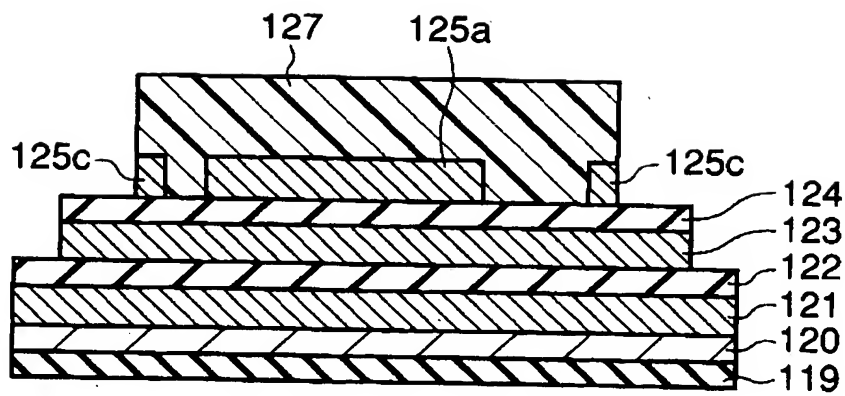
【図 5】



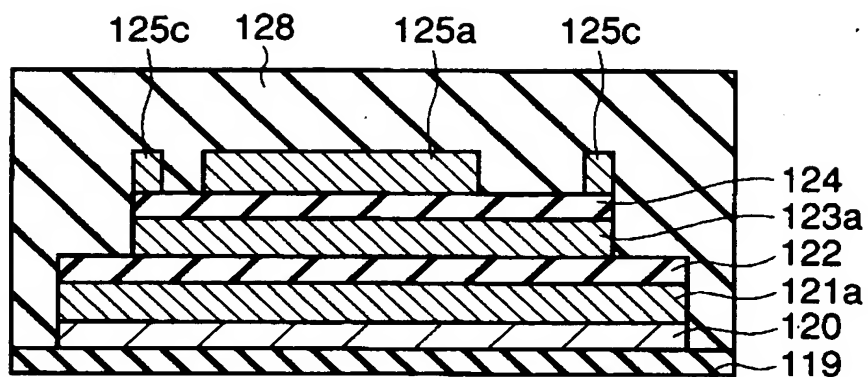
【図 6】



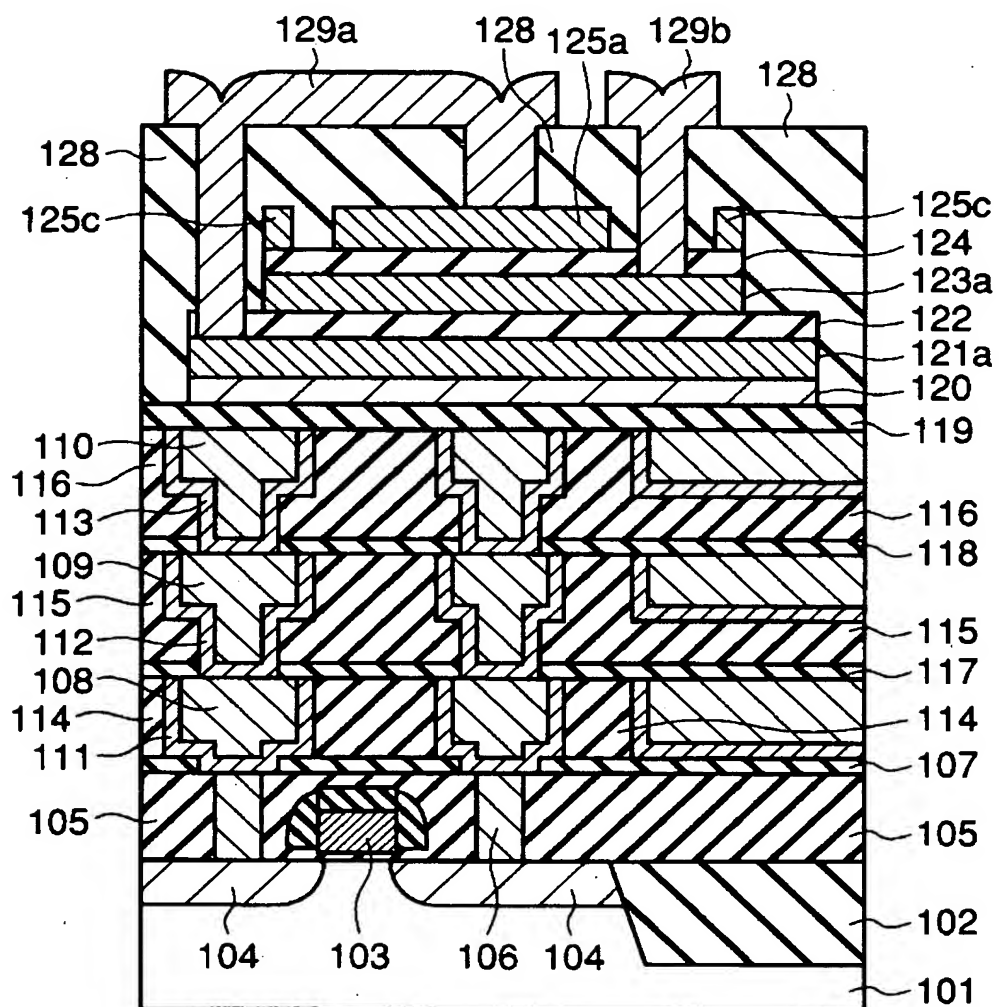
【図 7】



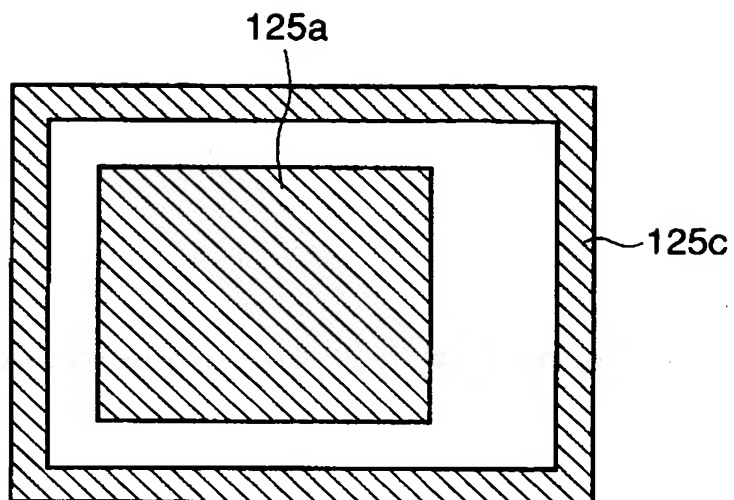
【図 8】



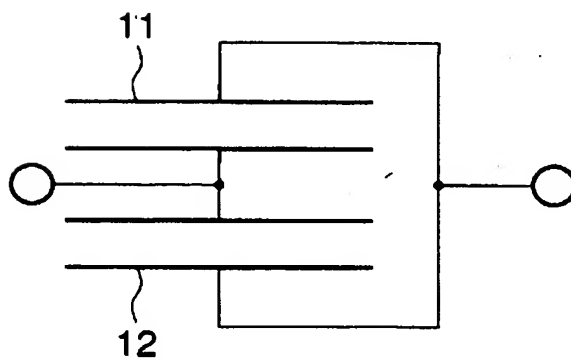
【図 9】



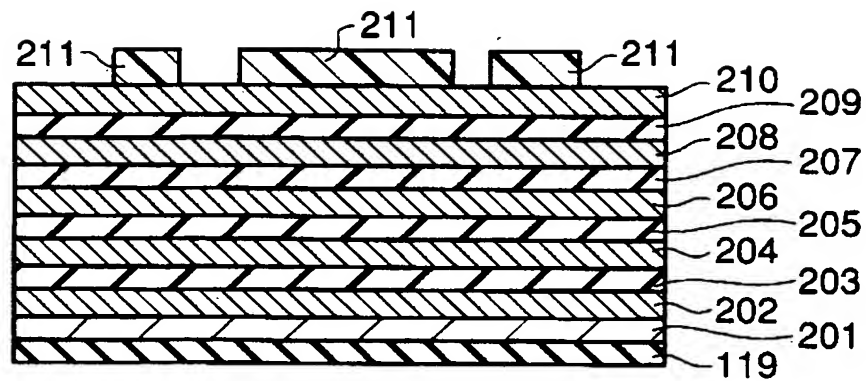
【図 1 0】



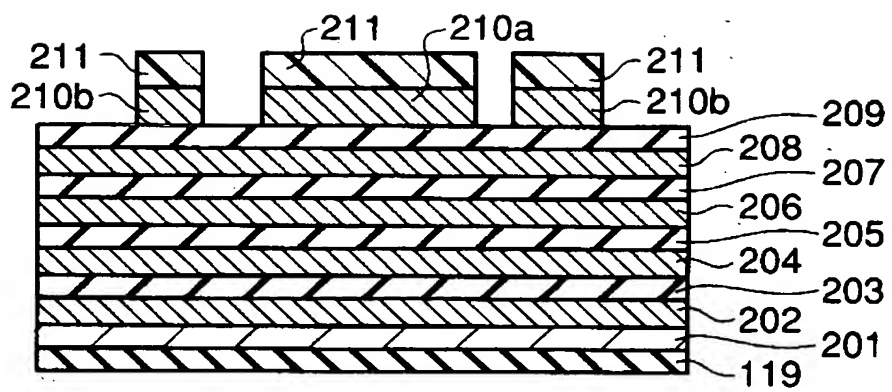
【図 1 1】



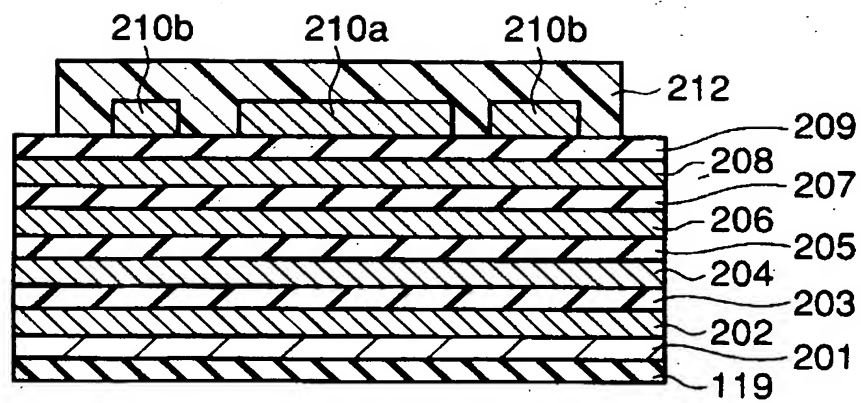
【図 1 2】



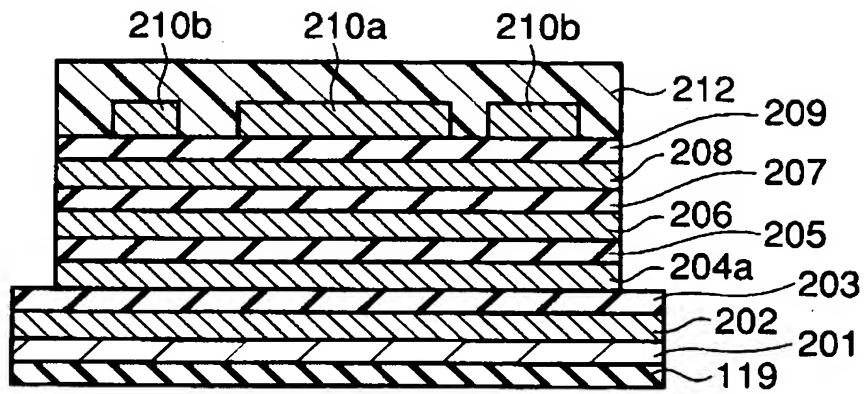
【図 1 3】



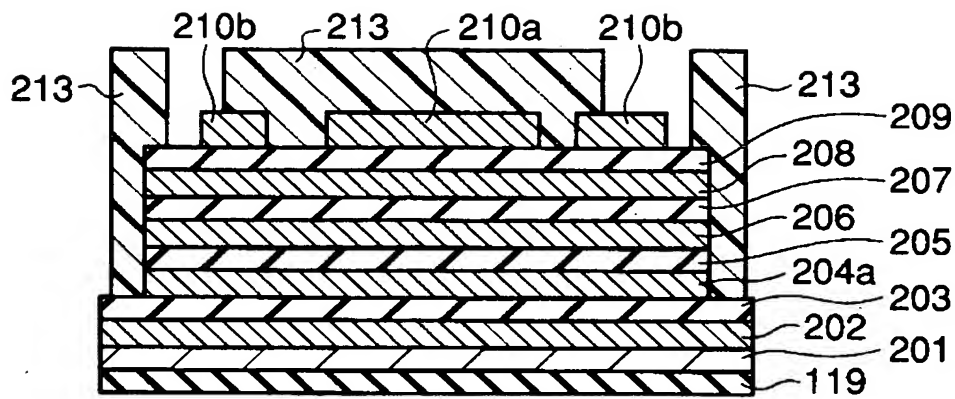
【図 1 4】



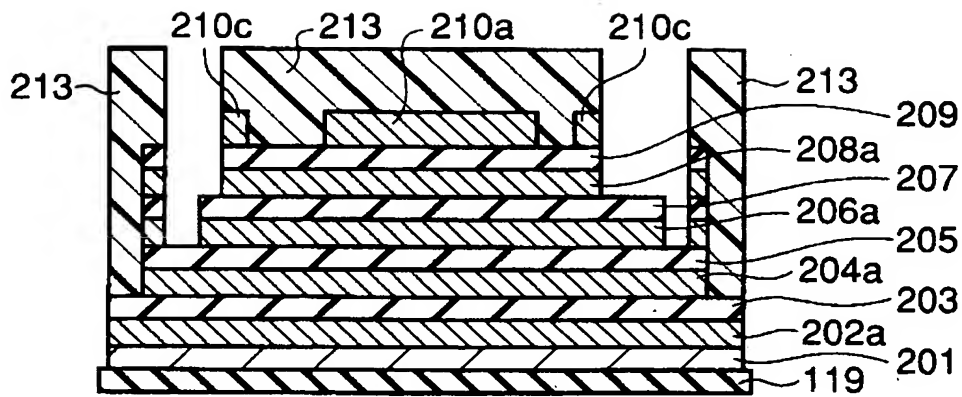
【図 1 5】



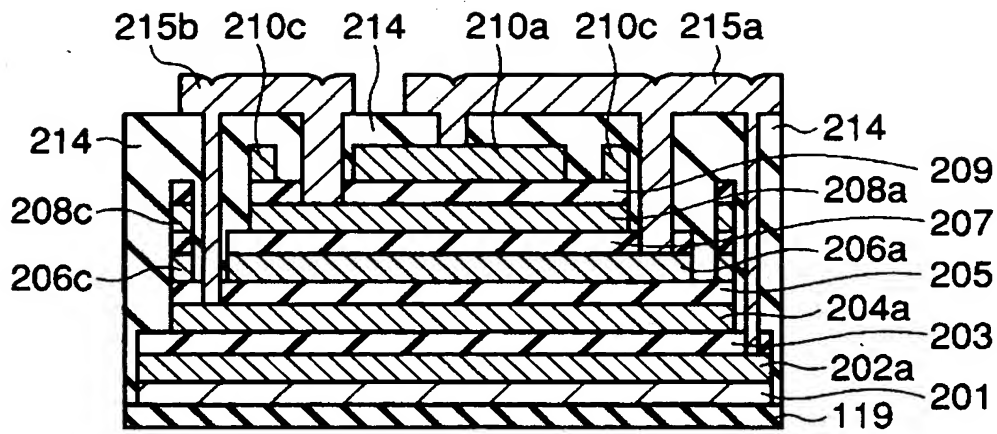
【図 1 6】



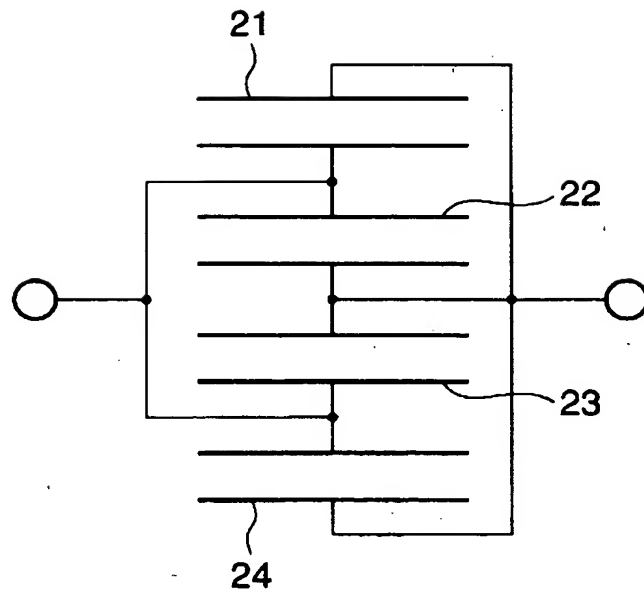
【図 1 7】



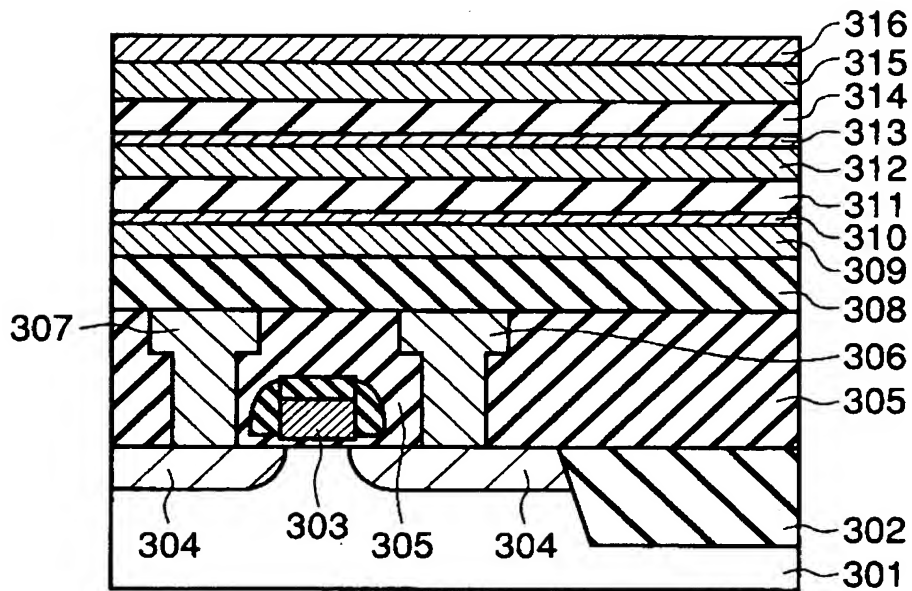
【図 1 8】



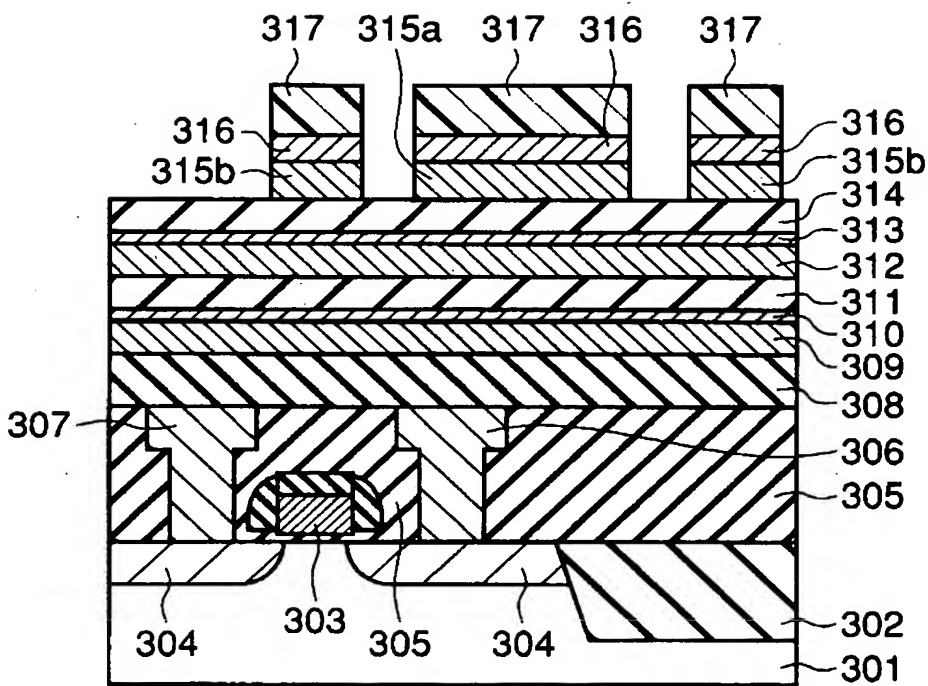
【図 1 9】



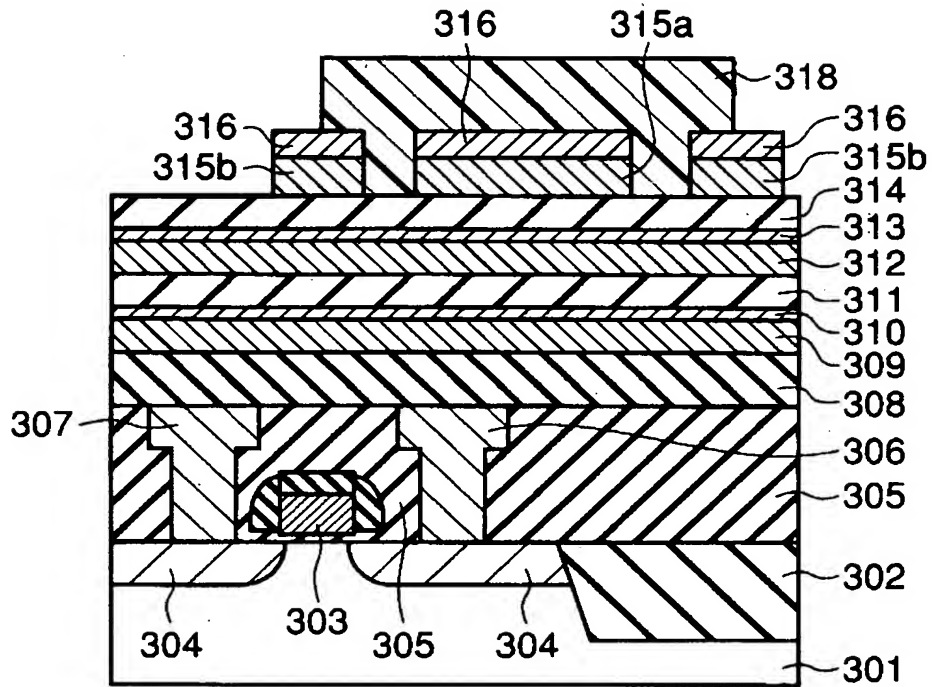
【図 20】



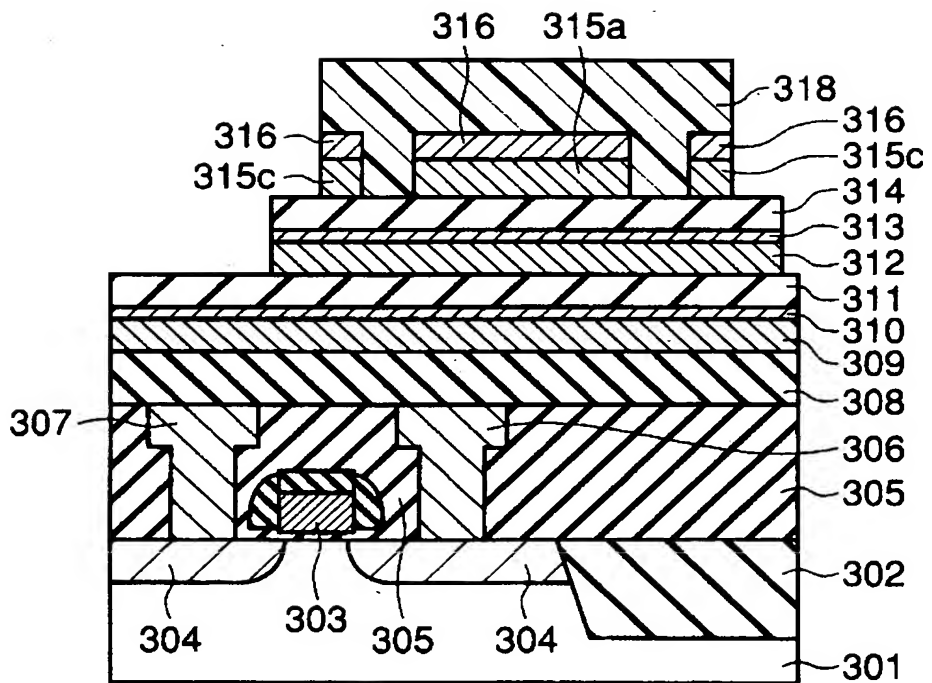
【図 21】



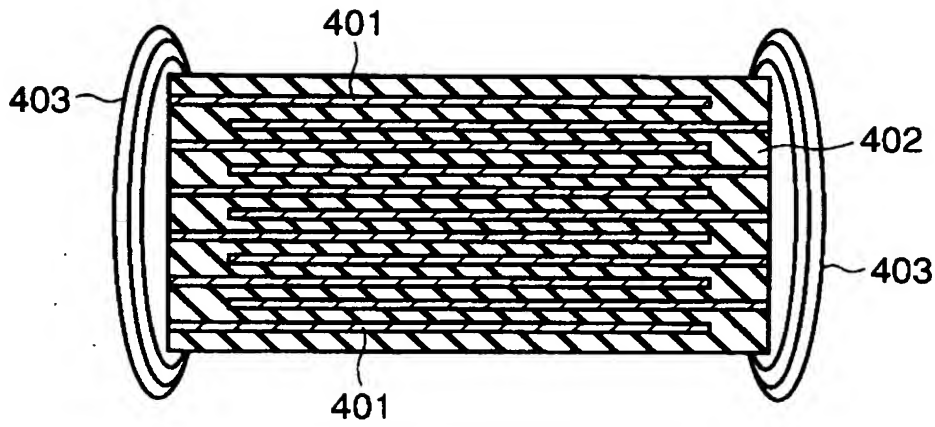
【図 2 2】



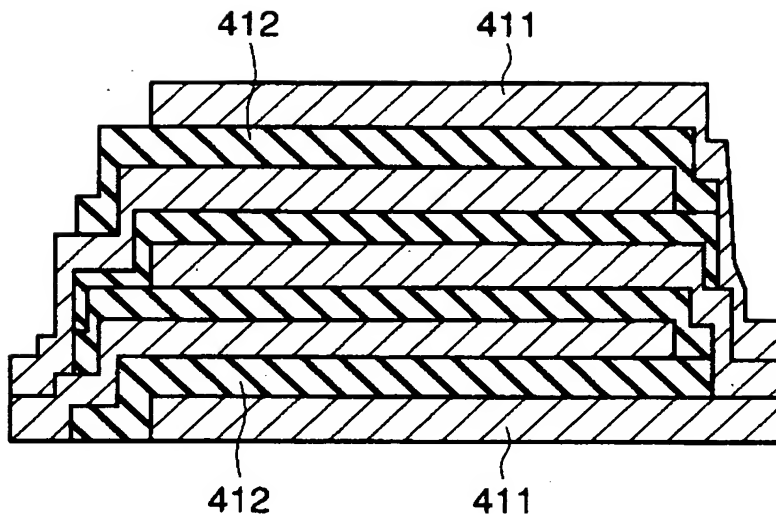
【図 2 3】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 キャパシタの単位面積あたりの容量を増大させることが可能な半導体装置を提供する。

【解決手段】 第 1 の電極 1 2 5 a と、第 1 の電極の下方に設けられた第 2 の電極 1 2 3 a と、第 2 の電極の下方に設けられた第 3 の電極 1 2 1 a と、第 1 の電極と第 2 の電極の間に設けられた第 1 の誘電体膜 1 2 4 と、第 2 の電極と第 3 の電極の間に設けられた第 2 の誘電体膜 1 2 2 とを含むキャパシタ構造と、キャパシタ構造を覆い、第 1 の電極に達する第 1 の穴と、第 2 の電極に達する第 2 の穴と、第 3 の電極に達する第 3 の穴とを有する絶縁膜 1 2 8 と、第 1 の穴に埋め込まれた部分及び第 3 の穴に埋め込まれた部分を有し、第 1 の電極と第 3 の電極を電氣的に接続する第 1 の導電性接続部 1 2 9 a と、第 1 の導電性接続部から離間し、第 2 の穴に埋め込まれた部分を有する第 2 の導電性接続部 1 2 9 b とを備える。

【選択図】 図 9

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝